

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 11-026593

[0005] to [0006] and [0014] to [0018]

[0005] An object of the present invention is to provide a semiconductor integrated circuit device including an output circuit which enables to adjust skew among differential output signals with a simple structure. The aforementioned object and the other objects and novel characteristics of the present invention will be clarified from the descriptions of the specification and drawings attached thereto.

[0006]

[Means for Solving Problems] The following is a brief description of the gist of the representative elements of the invention laid open in this application. First and second driving signals in accordance with an internal signal to be output are formed, and a phase shift adjustment circuit for selectively connecting a capacitor to a path of the first or second driving signals is provided in a differential output circuit including first and second output circuits for forming output signals, of which phases are opposite to each other and which are output from first and second output terminals, from the first and second driving signals.

[0014]

In the phase shift adjustment circuit, a capacitor is selectively connected to a signal path through which a driving signal is transmitted to the first or second output circuit for adjusting a delay time of the driving signal. More specifically, a capacitor 7 is provided so as to be connected via a switch MOSFET 5 to a signal path through which the inversion signal 3 is transmitted. Further, a capacitor 11 is provided so as to be connected via a switch MOSFET 9 to the capacitor 7. Moreover, a capacitor 15 is provided so as to be connected via a switch MOSFET 13 to

the capacitor 11. Therefore, to the signal path through which the inversion signal 3 is transmitted, the capacitor 7 is connected when the switch MOSFET 5 is set in the ON state and the capacitors 7 and 11 are connected in parallel when the switch MOSFET 9 is additionally set in the ON state. When the switch MOSFET 13 is further additionally set in the ON state, a parallel circuit of the capacitors 7, 11 and 15 is connected. In this association, the delay time of the inversion signal 3 is increased according to increase in the capacitance value of the capacitor(s) connected thereto in the three combinations (the capacitor 7, the capacitors 7 and 11, and the capacitors 7, 11 and 15).

[0015] As well as the above, a capacitor 8 is provided so as to be connected via a switch MOSFET 6 to a signal path through which the non-inversion signal 4 is transmitted. Further, a capacitor 12 is provided so as to be connected via a switch MOSFET 10 to the capacitor 8 and a capacitor 16 is provided so as to be connected via a switch MOSFET 14 to the capacitor 12. Therefore, to the signal path through which the non-inversion signal 4 is transmitted, the capacitor 8 is connected when the switch MOSFET 6 is set in the ON state and the capacitors 8 and 12 are connected in parallel when the switch MOSFET 10 is additionally set in the ON state. When the MOSFET 14 is further additionally set in the ON state, a parallel circuit of the capacitors 8, 12 and 16 is connected. In this association, the delay time of the non-inversion signal 4 is increased according to increase in the capacitance value of the capacitor(s) connected thereto in the three combinations (the capacitor 8, the capacitors 8 and 12, and the capacitors 8, 12 and 16).

[0016] A control signal 18 is applied to the gate of the switch MOSFET 5 of the phase shift adjustment circuit, which is provided so as to correspond to the signal path through which the inversion signal 3 is transmitted, a control signal 19 is applied to the gate of the switch MOSFET 9, and a control signal 20 is applied to the gate of the switch MOSFET 13. Further, a control signal 21 is applied to the gate of the switch MOSFET 6 of the phase shift adjustment circuit, which is provided so as to correspond to the signal path through which the non-inversion signal 4 is transmitted, a control signal 22 is applied to the gate of the switch MOSFET 10, and a control signal 23 is applied to the gate of the switch MOSFET 14.

[0017] Note that the control signals 18 to 23 are not particularly limited. If there are extra external terminals, the control signals may be supplied from the extra external terminals. If there are only a limited number of external terminals, the above six signals are input in serial from one external terminal into the register and then, the signals thus input into the register are each supplied in parallel to the gates of the respective switch MOSFETs as the above control signals 18 to 23.

[0018] The control signals check a phase shift between the output terminals OUT and /OUT and delay the driving signal corresponding to the output signal which is output at an early timing for agreement of the output terminals OUT and /OUT according to the result of the check. In the above method for inputting the control signals into the register, it is required that a power supply of the semiconductor integrated circuit device is cut off and the phase shift adjustment signal is input every time the power is supplied again. Since the phase shift mainly serves to adjust a phase shift by variation in process, it may be set fixedly. In this association, the control signals are formed by applying a fusing current to fuse means of a polysilicon layer and selectively cut the fuse mean, or by making a fuse of an aluminum layer as an uppermost layer and cutting the fuse with a laser beam, or by mounting a nonvolatile storage element such as EPROM and performing write operation to the nonvolatile storage element.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026593

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H01L 21/82
H01L 27/04
H01L 21/822
H03K 19/0175

(21)Application number : 09-196470

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.07.1997

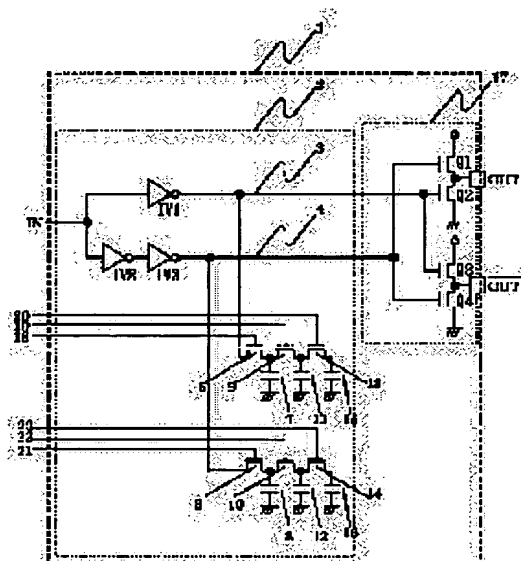
(72)Inventor : MUTO TAKASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To adjust the skew between differential output signals by installing, in a differential output circuit having a first and a second output circuit, phase shift adjustment circuits for selectively connecting capacitors to a first and a second driving signal path.

SOLUTION: An output circuit 17 of a differential output circuit 1 is constituted of a first output circuit constituted of N channel MOSFETs Q1 and Q2 and a second output circuit constituted of N-channel MOSFETs Q3 and Q4. In signal paths for transmitting driving signals to the first and the second output circuit, phase shift adjustment circuits having capacitors are located. For example, in the signal path for transmitting an inverted signal 3 of an inverter circuit IV1, a capacitor 7 is connected through a switch MOSFET 5. Then, a capacitor 11 is connected to the capacitor 7 through a switch MOSFET 9 and then a capacitor 15 is connected to the capacitor 11 through a switch MOSFET 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26593

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/82
27/04
21/822
H 0 3 K 19/0175

H 0 1 L 21/82 P
27/04 E
H 0 3 K 19/00 1 0 1 N
1 0 1 F

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21) 出願番号 特願平9-196470

(22) 出願日 平成9年(1997) 7月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 武藤 隆

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

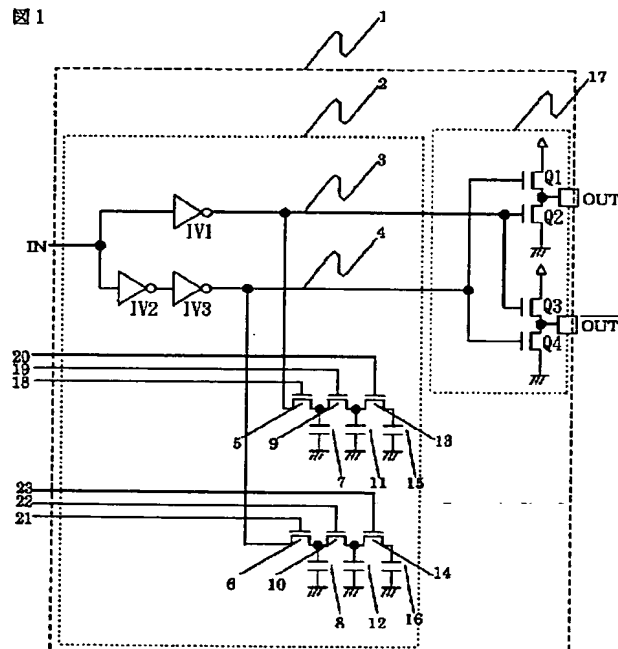
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 簡単な構成で差動出力信号間でのスキューを調整可能にした出力回路を備えた半導体集積回路装置を提供する。

【解決手段】 出力すべき内部信号に従った第1の駆動信号と第2の駆動信号を形成し、上記第1の駆動信号と第2の駆動信号により第1と第2の出力端子から互いに逆相にされた出力信号を形成する第1と第2の出力回路とを備えた差動型出力回路に対して、上記第1と第2の駆動信号経路に容量手段を選択的に接続する位相ずれ調整回路を設ける。

図1



【特許請求の範囲】

【請求項 1】 出力すべき内部信号に従った第 1 の駆動信号を形成する第 1 の駆動回路と、

上記出力すべき内部信号に従った第 2 の駆動信号を形成する第 2 の駆動回路と、

上記第 1 の駆動信号を受けて第 1 の出力端子から第 1 の出力信号を送出させる第 1 の CMOS 出力回路と、

上記第 2 の駆動信号を受けて、第 2 の出力端子から上記第 1 の出力信号に対して位相反転させられた第 2 の出力信号を送出させる第 2 の CMOS 出力回路と、

上記第 1 と第 2 の駆動信号経路に容量手段を選択的に接続する位相ずれ調整回路とを備えてなることを特徴とする半導体集積回路装置。

【請求項 2】 出力すべき内部信号に従った第 1 の駆動信号を形成する第 1 の駆動回路と、

上記出力すべき内部信号に従った第 2 の駆動信号を形成する第 2 の駆動回路と、

上記第 1 の駆動信号と第 2 の駆動信号とを受けて第 1 の出力端子から第 1 の出力信号を送出させる第 1 導電型の MOSFET からなる第 1 の出力回路と、

上記第 1 の駆動信号と第 2 の駆動信号を受けて、第 2 の出力端子から上記第 1 の出力信号に対して位相反転させられた第 2 の出力信号を送出させる第 1 導電型の MOSFET からなる第 2 の出力回路と、

上記第 1 と第 2 の駆動信号経路に容量手段を選択的に接続する位相ずれ調整回路とを備えてなることを特徴とする半導体集積回路装置。

【請求項 3】 上記位相ずれ調整回路は、上記駆動信号伝達経路にスイッチを介して接続される複数の容量素子からなることを特徴とする請求項 1 又は請求項 2 の半導体集積回路装置。

【請求項 4】 上記第 1 と第 2 の出力回路が 1 組とされて複数組からなる出力回路を備え、

上記複数組からなる第 1 と第 2 の出力回路にそれぞれ対応された複数組の駆動信号伝達経路にそれぞれ設けられた複数組の位相ずれ調整回路に対して、共通の制御信号を供給するものであることを特徴とする請求項 1、請求項 2 又は請求項 3 の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体集積回路装置に関し、半導体集積回路装置間での信号転送に用いられる差動型出力回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】 大型電子計算機等のような大規模のデジタル信号処理回路では、複数の半導体集積回路装置

(以下、LSI という) を組み合わせてシステムが実現される。このようなシステムの性能は、LSI 間での信号転送レートに大きく左右される。この場合、クロック

信号のような重要な信号は、非反転 (ポジティブ) 信号と反転 (ネガティブ) 信号とで 1 組として転送されることがある。このような差動型転送信号とすることにより、カップリングノイズ等に対して強くできる。

【0003】

【発明が解決しようとする課題】 図 4 には、この発明に先立って検討された差動型出力回路の例が示されている。N チャンネル型 MOSFET Q1 と Q2 からなる第 1 の出力回路と、N チャンネル型 MOSFET Q3 と Q4 からなる第 2 の出力回路に対して、出力すべき内部信号 IN に対してインバータ回路 IV1 により形成された反転駆動信号と、インバータ回路 IV2 と IV3 を通して形成された非反転駆動信号とを上記 MOSFET Q1 ~ Q4 に交差的に供給して、互いに逆相の出力信号を出力端子 OUT と /OUT から出力させるものである。

【0004】 上記のような出力回路では、半導体集積回路に形成される MOSFET 等の素子特性のバラツキによって、例えば図 5 のように反転出力信号 /OUT に対して非反転出力信号 OUT の位相が Δt だけ遅れるというスキューが発生すると、互いに逆相関係となる期間は、上記位相ずれ Δt だけ短く t_1 のようになってしまう。したがって、上記位相ずれ分だけ転送可能な信号の周期を長くする必要があり、結果として転送可能な最高周波数が低くなってしまいう問題が生じる。

【0005】 この発明の目的は、簡単な構成で差動出力信号間でのスキューを調整可能にした出力回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、出力すべき内部信号に従った第 1 の駆動信号と第 2 の駆動信号を形成し、上記第 1 の駆動信号と第 2 の駆動信号により第 1 と第 2 の出力端子から互いに逆相にされた出力信号を形成する第 1 と第 2 の出力回路とを備えた差動型出力回路に対して、上記第 1 と第 2 の駆動信号経路に容量手段を選択的に接続する位相ずれ調整回路を設ける。

【0007】

【発明の実施の形態】 図 1 には、この発明に係る差動型出力回路の一実施例の回路図が示されている。同図の差動型出力回路は、特に制限されないが、ゲートアレイ等の半導体集積回路装置に搭載され、公知の半導体集積回路の製造技術により、かかる半導体集積回路を構成する他の回路とともに 1 個の半導体基板上において形成される。

【0008】 図 1 には、出力すべき内部信号 IN に対して同相信号と逆相信号の出力信号を出力させる 1 組の出

力端子OUTと／OUTに対応した差動型出力回路1が代表として例示的に示されている。図面においては、反転（ネガティブ）信号に対応した出力端子にはオーバーバーを付しているが、明細書で／（スラッシュ）を付して上記オーバーバーに代えて表している。

【0009】差動型出力回路1は、プリバッファ（駆動）回路2と出力回路17とから構成される。プリバッファ回路2は、出力すべき内部信号INを受けてその反転信号（ネガティブ）信号3を形成するインバータ回路IV1と、上記内部信号INを受けて、それと同相の非反転（ポジティブ）信号4を形成する直列形態のインバータ回路IV2及びIV3から構成される。このプリバッファ回路2には、後述するような位相ずれ調整回路が付加される。

【0010】出力回路17は、特に制限されないが、Nチャンネル型MOSFETQ1とQ2からなる第1の出力回路と、Nチャンネル型MOSFETQ3とQ4からなる第2の出力回路から構成される。上記のようにNチャンネル型MOSFETQ1とQ2、Q3とQ4を直列形態に接続して出力回路を構成するため、これらMOSFETQ1とQ2及びQ3とQ4をそれぞれ相補的にスイッチングさせるため、上記反転信号3は第1の出力回路の接地側MOSFETQ2と第2の出力回路の電源側MOSFETQ3のゲートに、上記非反転信号4は上記とは逆に第1の出力回路の電源側MOSFETQ1と第2の出力MOSFETの接地側MOSFETQ4のゲートにそれぞれ交差的に供給される。

【0011】これにより、出力すべき内部信号INがハイレベルのとき、上記反転信号3がロウレベルに、非反転信号4がハイレベルにされるため、第1の出力回路においてはMOSFETQ1がオン状態にされ、MOSFETQ2がオフ状態にされるので出力端子OUTから出力される出力信号をハイレベルにし、第2の出力回路においてはMOSFETQ3がオフ状態に、MOSFETQ4がオン状態にされるので出力端子／OUTから出力される出力信号をロウレベルにする。

【0012】逆に、出力すべき内部信号INがロウレベルのとき、上記反転信号3がハイレベルに、非反転信号4がロウレベルにされるため、第1の出力回路においてはMOSFETQ1がオフ状態にされ、MOSFETQ2がオン状態にされるので出力端子OUTから出力される出力信号をロウレベルにし、第2の出力回路においてはMOSFETQ3がオン状態に、MOSFETQ4がオフ状態にされるので出力端子／OUTから出力される出力信号をハイレベルにする。

【0013】上記インバータ回路IV1～IV3や出力回路を構成するMOSFETQ1～Q4の素子特性のバラツキにより、上記出力端子OUTと／OUTに位相ずれが生じると、その位相ずれに相当する時間が実質的に無効になってしまい、伝送可能な周波数を低くしてしま

うという問題を防ぐために、次のような位相ずれ調整回路が設けられる。

【0014】位相ずれ調整回路は、上記第1と第2の出力回路に駆動信号を伝える信号経路に、その駆動信号の遅延時間を調整するために選択的に接続されるキャパシタが設けられる。つまり、上記反転信号3が伝えられる信号経路に、スイッチMOSFET5を介してキャパシタ7が接続できるようにされる。このキャパシタ7には、更にスイッチMOSFET9を介してキャパシタ11が接続できるようにされる。このキャパシタ11には、更にスイッチMOSFET13を介してキャパシタ15が接続可能にされる。したがって、上記反転信号3が伝えられる信号経路からみると、スイッチMOSFET5がオン状態のときには、キャパシタ7が接続され、これに加えてスイッチMOSFET9がオン状態にされると、キャパシタ7にキャパシタ11も並列に加えられる。そして、上記の状態に加えてスイッチMOSFET13をオン状態にすると、キャパシタ7、11及び15の並列回路が接続される。したがって、上記反転信号3は、上記キャパシタ7、7と11、7、11及び15の3通りに接続されるキャパシタの容量値の増大に従って遅延時間が大きくされる。

【0015】上記同様に、上記非反転信号4が伝えられる信号経路に、スイッチMOSFET6を介してキャパシタ8が接続できるようにされる。このキャパシタ8には、更にスイッチMOSFET10を介してキャパシタ12が接続できるようにされる。このキャパシタ12には、更にスイッチMOSFET14を介してキャパシタ16が接続可能にされる。したがって、上記反転信号4が伝えられる信号経路からみると、スイッチMOSFET6がオン状態のときには、キャパシタ8が接続され、これに加えてスイッチMOSFET10がオン状態にされると、キャパシタ8にキャパシタ12も並列に加えられる。そして、上記の状態に加えてスイッチMOSFET14をオン状態にすると、キャパシタ8、12及び16の並列回路が接続される。したがって、上記反転信号4は、上記キャパシタ8、8と12、8、12及び16の3通りに接続されるキャパシタの容量値の増大に従って遅延時間が大きくされる。

【0016】上記反転信号3が伝えられる信号経路に対応して設けられる位相ずれ調整回路のスイッチMOSFET5のゲートには制御信号18が印加され、スイッチMOSFET9のゲートに制御信号19が印加され、スイッチMOSFET13のゲートには制御信号20が印加される。また、上記非反転信号4が伝えられる信号経路に対応して設けられる位相ずれ調整回路のスイッチMOSFET6のゲートには制御信号21が印加され、スイッチMOSFET10のゲートに制御信号22が印加され、スイッチMOSFET14のゲートには制御信号23が印加される。

【0017】これらの制御信号18ないし23は、特に制限されないが、外部端子数に余裕があるならそれぞれ外部端子から供給するようにすればよい。外部端子数に制限があるなら、1つの外部端子をから上記6個の信号をシリアルにレジスタに入力し、このレジスタに入力された信号を上記パラレルに上記制御信号18～23として各スイッチMOSFETのゲートに供給するようにすればよい。

【0018】上記制御信号は、上記出力端子OUTと／OUTの位相ずれを調べ、その結果により両者が一致するように早いタイミングで出力される出力信号に対応した駆動信号を遅らせるようにする。上記のようにレジスタに制御信号を入力する方法では、半導体集積回路装置の電源遮断し、再び電源投入する都度上記位相ずれ調整信号を入力する必要がある。上記の位相ずれは主としてプロセスバラツキによる位相ずれを調整するものであるために、固定的に設定しても問題ない。そこで、ポリシリコン層からなるヒューズ手段に溶断電流を流して選択的に切断して、上記制御信号を形成するもの、あるいは最上層のアルミニウム層によりヒューズを構成し、レーザー光線により切断させて上記制御信号を形成するもの、あるいはEPROM等のような不揮発性記憶素子を搭載して、この不揮発性記憶素子に書き込みを行うことにより上記制御信号を形成する。

【0019】上記制御信号は、1組の差動型出力回路に一对一に対応して形成する必要はない。つまり、1組の差動型出力回路にはそれぞれ位相ずれ調整回路を一对一に対応して設けるようにするものであり、一般に半導体集積回路装置においては複数の差動型出力回路が設けられる。それ故、上記位相ずれ調整回路は、上記差動型出力回路の数に応じた数の回路が設けられる。しかしながら、半導体集積回路装置に形成される複数の差動型出力回路における位相ずれは、個々の差動型出力回路間でバラバラの位相ずれになることなく、ほぼ同一の位相ずれを発生させる。この実施例においては、上記形成された制御信号は、複数の差動型出力回路にそれぞれ一对一に設けられた複数の位相ずれ調整回路に対して共通に供給されて、全ての差動型出力回路の位相ずれを一括して調整する。このため、1つの半導体集積回路装置において、上記制御信号18～23を入力させる外部端子やレジスタ、あるいは上記のようなヒューズ手段や不揮発性記憶素子の回路規模は極く小さいものとなる。

【0020】図2には、この発明に係る差動型出力回路の一実施例の回路図が示されている。この実施例では、位相ずれ調整回路のスイッチMOSFETの構成が異なり、出力回路もCMOS構成にされる。つまり、前記のような反転信号3が伝えられる信号経路に対して、スイッチMOSFET5、9及び13を並列に接続して、それぞれのスイッチMOSFET5、9及び13を介してキャパシタ7、11、15を接続するものである。同様

に、非反転信号4が伝えられる信号経路に対しても、スイッチMOSFET6、10及び14を並列に接続して、それぞれのスイッチMOSFET6、10及び14を介してキャパシタ8、12、16を接続するものである。

【0021】この構成では、上記キャパシタ7、11、15を接続させる組み合わせがより多様にできる。つまり、キャパシタ7、11、15をそれぞれ単独で接続する場合と、キャパシタ7と11、7と15、11と15及び7、11、15のように7通りにできる。したがって、上記キャパシタ7と11と15の容量値に2進の重みを付けることにより、0～8通りの2進の重みを持った容量値を選択的に付加することができ、より高い精度により位相ずれの調整を行うことが可能になる。このことは、非反転信号4側に設けられるキャパシタ8、12及び16においても同様である。

【0022】第1の出力回路においては、Nチャンネル型MOSFETQ1がPチャンネル型MOSFETQ5に置き換えられ、第2の出力回路においては、Nチャンネル型MOSFETQ3がPチャンネル型MOSFETQ6に置き換えられる。つまり、Pチャンネル型MOSFETQ5とNチャンネル型MOSFETQ2のゲートが共通化されて上記反転信号3が伝えられる。また、Pチャンネル型MOSFETQ6とNチャンネル型MOSFETQ4のゲートが共通化されて上記非反転信号4が伝えられる。上記のようなCMOS出力回路は、図1の出力回路に置き換えることができるし、図1の出力回路を上記CMOS出力回路に置き換えることもできる。

【0023】図3には、この発明に係る半導体集積回路装置の一実施例の全体ブロック図が示されている。同図の各回路ブロックは、実際の半導体基板上における幾何学的な配置に合わせて描かれている。同図において、20は半導体チップであり、21は内部回路であり、22、23からなるオンチップRAMと、それ以外の論理回路部とにより構成される。上記オンチップRAM22、23は、特に制限されないが、スタティック型RAMにより構成される。上記内部回路21が形成される領域のうちRAMブロック以外は敷き詰めゲート領域となっている。この領域の拡大パターン26のようにMOSFETが敷き詰められ、マスタースライス方式により配線が形成されて所望の回路機能が実現される。

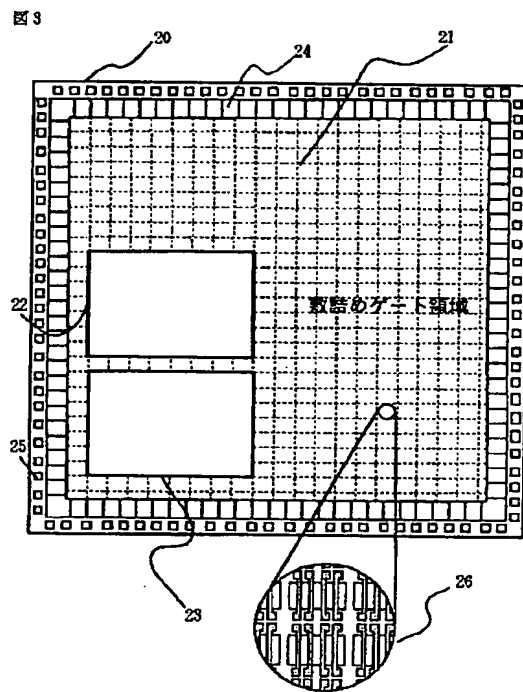
【0024】上記半導体チップ20の周辺部にはボンディングパッド25が設けられ、かかるボンディングパッド25と内部回路21との間には入出力回路24が設けられる。上記入出力回路24は、上記差動型出力回路が含まれ、かかる差動型出力回路に隣接した適当な箇所に上記位相ずれ調整回路に与える制御信号を発生させる前記ヒューズ等の不揮発性記憶回路が付加される。

【0025】上記の実施例から得られる作用効果は、下記の通りである。

【発明の効果】本願において開示される発明のうち代表

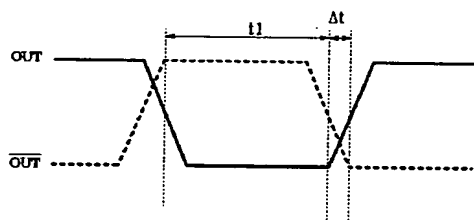
[illegible][illegible]

【図 3】



【図 5】

図 5



【図 4】

